Thursday, April 09, 2015

2:24 PM

Machine generated alternative text: 5
5
4
4
3
3
2
2
1
1
D
D
C
C
B
B
A
A
DIN+
DIN+
DIN-
DIN-
GND
GND
GND
GND
GND
GND
GND
GND
In+
In+
In+
In+
In-
In-
In-
In-
O1
O1
O1
O10
O10
O10
O11
O11
O11
O12
O12
O12
O13
O13
O13
O14
O14
O14
O15
O15
O15
O16
O16
O16
O17
O17
O17
O18
O18
O18
O19
O19
O19
O2
O2
O2
O20
O20
O20
O21
O21
O21
O22
O22
O22
O23
O23
O23
O24
O24
O24
O25
O25
O25
O26
O26
O26
O27
O27
O27
O28
O28
O28
O29
O29
O29
O3
O3
O3
O30
O30
O30
O31
O31
O31
O32
O32
O32
O33
O34
O35
O36
O37
O4
O4
O4
O5
O5
O5
O6
O6
O6
O7
O7
O7
O8
O8
O8
O9
O9
O9
RESET*
RESET*
RESET*
RESET*
RESET*
RESET*
RESET*
RESET*
RESET*
SCLK
SCLK
SCLK
SCLK
SCLK
SCLK
SCLK
SCLK
SCLK
SYNC*
SYNC*
SYNC*
SYNC*
SYNC*
SYNC*
SYNC*
SYNC*
SYNC*
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
VDD
GND
GND
GND
GND
GND
GND
GND
GND
GND
O1
O10
O11
O12
O13
O14
O15
O16
O17
O18
O19
O2
O20
O21
O22
O23
O24
O25
O26
O27
O28
O29
O3
O30
O31
O32
O33
O34
O35
O36
O37
O4
O5
O6
O7
O8
O9
GND
In+
O33
O34
O35
O36
O37
RESET*
SCLK
SYNC*
VDD
VDD
GND
GND
In-
O33
O34
O35
O36
O37
RESET*
SCLK
SYNC*
VDD
VDD
GND
VDD
DOUT+
DOUT-
VDD
DOUT+
DOUT-
RESET*
SCLK
SYNC*
VDD
GND
In+
In-
Title
SizeDocument NumberRev
Date:Sheetof
<RevCode>
Custom
Thursday, March 19, 2015
<Doc>
<Title>
11
Title
SizeDocument NumberRev
Date:Sheetof
<RevCode>
Custom
Thursday, March 19, 2015
<Doc>
<Title>
11
Title
SizeDocument NumberRev
Date:Sheetof
<RevCode>
Custom
Thursday, March 19, 2015
<Doc>
<Title>
11
Arduino_In
8 HEADER
Arduino_In
8 HEADER
1
2
3
4
5
6
7
8
In-
CON1
In-
CON1
1
N4
ADG714BRU
N4
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
P2
ADG714BRU
P2
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
P4
ADG714BRU
P4
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
R1
10k
R1
10k
R8
10k
R8
10k
R5
10k
R5
10k
R10
10k
R10
10k
Daisy_Out
8 HEADER
Daisy_Out
8 HEADER
1
2
3
4
5
6
7
8
P5
ADG714BRU
P5
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
N1
ADG714BRU
N1
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
R6
10k
R6
10k
P1
ADG714BRU
P1
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
R7
10k
R7
10k
In+
CON1
In+
CON1
1
N5
ADG714BRU
N5
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
R4
10k
R4
10k
P3
ADG714BRU
P3
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
J1
CONN DSUB 37-R
J1
CONN DSUB 37-R
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
J4
CONN DSUB 37-R
J4
CONN DSUB 37-R
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
N2
ADG714BRU
N2
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
R3
10k
R3
10k
N3
ADG714BRU
N3
ADG714BRU
SCLK
1
VDD
2
DIN
3
GND
4
S1
5
D1
6
S2
7
D2
8
S3
9
D3
10
S4
11
D4
12
D5
13
S5
14
D6
15
S6
16
D7
17
S7
18
D8
19
S8
20
VSS
21
DOUT
22
RESET*
23
SYNC*
24
R9
10k
R9
10k
R2
10k
R2
10k
